



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0067815
Application Number

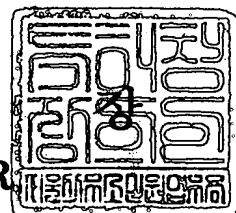
출원년월일 : 2002년 11월 04일
Date of Application NOV 04, 2002

출원인 : 비오이 하이디스 테크놀로지 주식회사
Applicant(s) BOE Hydis Technology Co., Ltd.



2003 년 05 월 29 일

특허청
COMMISSIONER



1020020061810

출력 일자: 2003/5/30

【서지사항】

【서류명】	출원인 변경 신고서
【수신처】	특허청장
【제출일자】	2003.02.28
【구명의인(양도인)】	
【명칭】	주식회사 현대디스플레이테크놀로지
【출원인코드】	1-2001-031305-4
【사건과의 관계】	출원인
【신명의인(양수인)】	
【명칭】	비오이 하이디스 테크놀로지 주식회사
【출원인코드】	1-2002-047909-7
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	2001-050902-1
【포괄위임등록번호】	2003-006996-3
【사건의 표시】	
【출원번호】	10-2002-0061810
【출원일자】	2002.10.10
【발명의 명칭】	기판 적재용 카세트
【사건의 표시】	
【출원번호】	10-2002-0061811
【출원일자】	2002.10.10
【발명의 명칭】	풀더형 액정표시장치
【사건의 표시】	
【출원번호】	10-2002-0061812
【출원일자】	2002.10.10
【발명의 명칭】	반투과형 액정표시장치의 어레이 기판 제조방법
【사건의 표시】	
【출원번호】	10-2002-0061813
【출원일자】	2002.10.10
【발명의 명칭】	풀더형 액정표시장치

【사건의 표시】

【출원번호】 10-2002-0062487
 【출원일자】 2002. 10. 14
 【발명의 명칭】 액정표시소자의 어레이 기판 및 그 제조방법

【사건의 표시】

【출원번호】 10-2002-0062488
 【출원일자】 2002. 10. 14
 【발명의 명칭】 액정표시장치의 제조방법

【사건의 표시】

【출원번호】 10-2002-0062489
 【출원일자】 2002. 10. 14
 【발명의 명칭】 액정 디스플레이 장치

【사건의 표시】

【출원번호】 10-2002-0062490
 【출원일자】 2002. 10. 14
 【발명의 명칭】 액정표시장치 제조에서의 정전기 방지방법

【사건의 표시】

【출원번호】 10-2002-0062491
 【출원일자】 2002. 10. 14
 【발명의 명칭】 반사형 액정 디스플레이 장치

【사건의 표시】

【출원번호】 10-2002-0062492
 【출원일자】 2002. 10. 14
 【발명의 명칭】 반투과형 액정표시장치의 제조방법

【사건의 표시】

【출원번호】 10-2002-0063855
 【출원일자】 2002. 10. 18
 【발명의 명칭】 액정표시장치 및 그 제조방법

【사건의 표시】

【출원번호】 10-2002-0063856
 【출원일자】 2002. 10. 18
 【발명의 명칭】 반사형 액정표시장치의 조명장치

1020020061810

출력 일자: 2003/5/30

【사건의 표시】

【출원번호】 10-2002-0063857

【출원일자】 2002. 10. 18

【발명의 명칭】 액정표시소자용 판넬 아이디마크 형성방법

【사건의 표시】

【출원번호】 10-2002-0063858

【출원일자】 2002. 10. 18

【발명의 명칭】 액정디스플레이 제조방법

【사건의 표시】

【출원번호】 10-2002-0063859

【출원일자】 2002. 10. 18

【발명의 명칭】 반사형 액정표시장치

【사건의 표시】

【출원번호】 10-2002-0063860

【출원일자】 2002. 10. 18

【발명의 명칭】 액정표시장치의 백라이트 유닛

【사건의 표시】

【출원번호】 10-2002-0063861

【출원일자】 2002. 10. 18

【발명의 명칭】 박막트랜지스터 액정표시장치

【사건의 표시】

【출원번호】 10-2002-0065735

【출원일자】 2002. 10. 28

【발명의 명칭】 액정표시장치의 잔상개선을 위한 구동방법

【사건의 표시】

【출원번호】 10-2002-0065736

【출원일자】 2002. 10. 28

【발명의 명칭】 액정표시장치

【사건의 표시】

【출원번호】 10-2002-0065737

【출원일자】 2002. 10. 28

【발명의 명칭】 액정표시장치

1020020061810

출력 일자: 2003/5/30

【사건의 표시】

【출원번호】 10-2002-0067815

【출원일자】 2002.11.04

【발명의 명칭】 액정표시장치의 공통전압 조정회로

【사건의 표시】

【출원번호】 10-2002-0067816

【출원일자】 2002.11.04

【발명의 명칭】 데이터 신호의 천이를 최소화하는 액정 표시 장치

【사건의 표시】

【출원번호】 10-2002-0067817

【출원일자】 2002.11.04

【발명의 명칭】 칩 온 글래스 타입의 액정 표시 장치

【사건의 표시】

【출원번호】 10-2002-0067818

【출원일자】 2002.11.04

【발명의 명칭】 액정 모듈

【사건의 표시】

【출원번호】 10-2002-0067837

【출원일자】 2002.11.04

【발명의 명칭】 반사형 액정표시소자 및 그 제조방법

【사건의 표시】

【출원번호】 10-2002-0067838

【출원일자】 2002.11.04

【발명의 명칭】 액정디스플레이의 제조방법

【사건의 표시】

【출원번호】 10-2002-0067893

【출원일자】 2002.11.04

【발명의 명칭】 액정표시장치 및 그 제조방법

【사건의 표시】

【출원번호】 10-2002-0067894

【출원일자】 2002.11.04

【발명의 명칭】 게이트 구동 접적회로 및 그 초기화 방법

1020020061810

출력 일자: 2003/5/30

【사건의 표시】

【출원번호】	10-2002-0068504
【출원일자】	2002.11.06
【발명의 명칭】	백라이트 유닛의 형광램프 전극구조
【사건의 표시】	
【출원번호】	10-2002-0068505
【출원일자】	2002.11.06
【발명의 명칭】	박막트랜지스터의 제조방법
【사건의 표시】	
【출원번호】	10-2002-0068506
【출원일자】	2002.11.06
【발명의 명칭】	액정디스플레이 및 그 제조방법
【사건의 표시】	
【출원번호】	10-2002-0069079
【출원일자】	2002.11.08
【발명의 명칭】	액정표시장치의 백라이트 유닛
【사건의 표시】	
【출원번호】	10-2002-0069080
【출원일자】	2002.11.08
【발명의 명칭】	영상표시장치 및 그 영상신호 제어방법
【사건의 표시】	
【출원번호】	10-2002-0072330
【출원일자】	2002.11.20
【발명의 명칭】	액정표시장치
【사건의 표시】	
【출원번호】	10-2002-0072331
【출원일자】	2002.11.20
【발명의 명칭】	액정표시장치의 제조방법
【사건의 표시】	
【출원번호】	10-2002-0072332
【출원일자】	2002.11.20
【발명의 명칭】	프린지 필드 스위칭 액정표시장치의 제조방법

1020020061810

출력 일자: 2003/5/30

【사건의 표시】

【출원번호】 10-2002-0087686

【출원일자】 2002.12.31

【발명의 명칭】 액정표시장치

【사건의 표시】

【출원번호】 10-2002-0087687

【출원일자】 2002.12.31

【발명의 명칭】 액정표시장치의 주입구 구조

【사건의 표시】

【출원번호】 10-2002-0087688

【출원일자】 2002.12.31

【발명의 명칭】 로그라인 단선시험이 가능한 T F T 어레이 패널구조

【사건의 표시】

【출원번호】 10-2002-0087689

【출원일자】 2002.12.31

【발명의 명칭】 수직배향된 강유전성 액정의 프린지필드스위칭 모드 반사/반투과 디스플레이 장치

【변경원인】

【취지】

특허법 제38조제4항·실용신안법 제20조·의장법 제24조 및 상표법 제12조 제1항의 규정에 의하여 위와 같이 신고합니다. 대리인
강성배 (인)

【수수료】 520,000 원

【첨부서류】

1. 양도증_1통(이하에 명기한 제출서류에 첨부된 것을 원용) [서류명]출원인 변경 신고서
[출원번호]10-2002-0088269 2. 인감증명서_1통(이하에 명기한 제출서류에 첨부된 것을 원용) [서류명]출원인 변경 신고서 [출원번호]10-2002-0088269

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.11.04
【발명의 명칭】	액정표시장치의 공통전압 조정회로
【발명의 영문명칭】	Common voltage regulating circuit of liquid crystal display device
【출원인】	
【명칭】	주식회사 현대디스플레이테크놀로지
【출원인코드】	1-2001-031305-4
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	2001-050902-1
【발명자】	
【성명의 국문표기】	이화정
【성명의 영문표기】	LEE,Hwa Jeong
【주민등록번호】	690405-1671115
【우편번호】	467-050
【주소】	경기도 이천시 안흥동 470번지 주공1단지 116동 701호
【국적】	KR
【발명자】	
【성명의 국문표기】	김진탁
【성명의 영문표기】	KIM,Jin Tak
【주민등록번호】	760920-1348020
【우편번호】	467-140
【주소】	경기도 이천시 고답동 72-1번지 102동 503호
【국적】	KR
【발명자】	
【성명의 국문표기】	오항석
【성명의 영문표기】	OH,Hang Seok
【주민등록번호】	770722-1408017

1020020067815

출력 일자: 2003/5/30

【우편번호】 301-040
【주소】 대전광역시 중구 대사동 87-28
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인 강성
배 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 27 면 27,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 56,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 소프트웨어적으로 조정이 가능한 액정표시장치의 공통전압 조정회로에 관한 것으로, 특히, 공통전압 조정을 위한 업/다운 신호에 응답하여 펄스폭 변조신호를 출력하는 펄스신호 발생수단; 상기 펄스신호 발생수단으로부터의 펄스폭 변조신호를 직류레벨로 평활하는 평활수단; 및 상기 평활수단에서 평활된 신호를 소정 레벨 증폭하여 공통전압신호를 출력하는 증폭수단을 구비하는 것을 특징으로 한다.

따라서, 본 발명은 통합보드에서 생성하는 임여 펄스폭 변조신호를 이용하여 별도의 하드웨어를 추가함 없이 공통전압을 소프트웨어적으로 조정할 수 있도록 함으로써, 그 공통전압의 수정을 용이하게 할 수 있고, 가변저항을 사용하지 않으므로 파손의 위험성을 줄이면서 제조비용을 줄일 수 있다.

【대표도】

도 8

【색인어】

공통전압신호, PWM, 듀티비

【명세서】**【발명의 명칭】**

액정표시장치의 공통전압 조정회로{Common voltage regulating circuit of liquid crystal display device}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 액정표시장치의 공통전압 발생회로를 설명하기 위한 회로도.

도 2는 도 1의 회로를 적용하여 제작한 액정표시패널의 전면을 나타낸 도면.

도 3은 도 1의 회로를 적용하여 제작한 액정표시패널의 배면을 나타낸 도면.

도 4는 도 1의 회로를 적용하여 제작한 다른 실시예의 액정표시패널의 배면을 나타낸 도면.

도 5는 본 발명의 공통전압 조정회로를 적용하여 제작한 액정표시패널의 전면을 나타낸 도면.

도 6은 본 발명의 공통전압 조정회로를 적용하여 제작한 액정표시패널의 배면을 나타낸 도면.

도 7은 본 발명의 공통전압 조정회로를 적용하여 제작한 다른 실시예의 액정표시패널의 배면을 나타낸 도면.

도 8은 본 발명의 제 1실시예에 따른 공통전압 조정회로를 설명하기 위한 블록도.

도 9은 본 발명의 제 1실시예에 따른 펄스폭 변조신호를 나타낸 파형도.

도 10은 본 발명의 제 1실시예에 따른 평활신호를 나타낸 도면.

도 11은 본 발명의 제 1실시예에 따른 공통전압 조정메뉴를 나타낸 도면.

도 12는 본 발명의 제 2실시예에 따른 공통전압 조정회로를 설명하기 위한 블록도.

도 13은 본 발명의 제 2실시예에 따른 동기신호 및 직렬 디지털 데이터신호를 나타낸 파형도.

도 14는 본 발명의 제 3실시예에 따른 공통전압 조정회로를 설명하기 위한 블록도.

도 15는 본 발명의 제 4실시예에 따른 공통전압 조정회로를 설명하기 위한 블록도.

도 16은 본 발명의 제 5실시예에 따른 공통전압 조정회로를 설명하기 위한 블록도.

도 17은 본 발명의 제 6실시예에 따른 공통전압 조정회로를 설명하기 위한 블록도.

도 18은 본 발명의 제 1실시예를 적용하여 구현한 공통전압 조정회로를 나타낸 블록도.

도 19는 도 18의 노드별 측정데이터를 나타낸 도면.

도 20내지 도 27은 도 18의 노드별 측정파형을 나타낸 파형도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <21> 본 발명은 액정표시장치의 공통전압 조정회로에 관한 것으로, 특히, 공통전압을 소프트웨어적으로 조정할 수 있는 액정표시장치의 공통전압 조정회로에 관한 것이다.
- <22> 일반적으로, TFT-LCD는 화소전극과 공통전극간에 형성되는 커패시터의 충·방전을 통해 액정의 배향을 변화시켜 광투과율을 조절함으로써 화상을 표시하는 장치이다. 상기 화소전극에는 데이터 라인과 스위칭 역할을 행하는 TFT를 통해 신호전압이 인가되고, 상

기 공통전극에는 공통전압이 인가되는 데, 플리커(Flicker)의 발생을 최소화하기 위해 공통전압은 공통전압 조절회로에 의해 기설정된 값으로 미세 조정된다.

<23> 도 1은 종래 기술에 따른 액정표시장치의 공통전압 발생회로를 나타낸 회로도로서, 도시된 바와 같이, 전원공급단과 접지 사이에 직렬결합된 제 1, 제 2저항 및 가변저항(R1,R2,VR1)으로 구성되어 전원전압을 분배하는 전압분배부(10)와, 출력단과 접지사이에 결합된 커패시터(C1)를 갖고, 가변저항(VR1)에 의해 조정된 분배전압을 기준전압으로서 비반전입력단(+)을 통해 입력받고 출력신호(VCOM)를 반전입력단(-) 페드백하고, 상기 조정된 분배전압을 완충한 후 공통전압신호(VCOM)로서 출력하는 버퍼증폭기(20)로 구성된다.

<24> 도 2는 도 1의 회로를 적용하여 제작한 액정표시패널의 전면을 나타낸 도면으로서, 참조부호 100은 액정표시패널의 전면 베젤의 폭을 나타내고, 102는 가변저항의 값을 조정하기 위한 홈을 나타낸다.

<25> 도 3은 도 1의 회로를 적용하여 제작한 액정표시패널의 후면을 나타낸 도면으로서, 도시된 바와 같이, 액정표시패널의 데이터라인을 구동하기 위한 소스-드라이브 IC(104)와, 액정표시패널의 게이트라인을 구동하기 위한 게이트-드라이브 IC(106)와, 소스-드라이브 IC(104)에 전원 및 구동신호를 공급하는 소스-인쇄회로기판(PCB)과, 게이트-드라이브 IC(106)에 전원 및 구동신호를 공급하는 게이트-인쇄회로기판(PCB)(110)과, 소스-인쇄회로기판(PCB)(108)과 게이트-인쇄회로기판(PCB)(110)을 연결시키기 위한 제 1케이블(112)과, LVDS, TTL 및 TMDS 등과 같은 입력영상신호를 디지털 형태로 변환하고 해상도를 조정하기 위한 인터페이스 회로와 액정표시패널을 구동하기 위한 액정구동회로가 일체화된 통합보드(114)와, 통합보드(114)와 소스-인쇄회로기판(PCB)(108)을 연결시키기

위한 제 2케이블(116)과, 액정표시장치의 백라이트를 구동하기 위한 인버터(118)를 나타내고, 통합보드(114)로 영상신호를 입력하기 위한 커넥터(120)와, 통합보드(114)와 인버터(118)를 연결하는 제 3케이블(122)과, 공통전압의 미세 조정을 위해 사용되는 가변저항(124)이 포함되어 있다.

<26> 도 4는 도 1의 회로를 적용하여 제작한 액정표시패널의 다른 실시예를 나타낸 도면으로서, 상기 인터페이스 회로와 인버터가 생략된 액정표시패널의 배면을 간략하게 나타낸 도면이다. 도 3에 나타낸 구성과 동일부분에 대해서 동일한 참조부호를 사용한다.

<27> 종래의 공통전압 발생회로는, 도 2 및 도 3에 나타낸 바와 같이, 게이트-인쇄회로기판(PCB)(110)에 탑재된다. 통합보드(114)는 전원전압(AVDD)을 발생하는 블록을 포함하며 전원전압(AVDD)을 제 2케이블(116)을 통해 소스-인쇄회로기판(PCB) 및 게이트-인쇄회로기판(PCB)(110)에 공급한다. 여기서 전원전압(AVDD)은 공통전압 발생회로의 출력인 공통전압(VCOM)의 레벨보다 충분히 큰 값의 전원이다.

<28> 도 2 및 도 3을 참조하여, 종래의 공통전압 발생회로의 동작을 간략히 설명하면, 먼저, 통합보드(114)에서 발생된 전원전압(AVDD)이 공통전압 발생회로에 공급되면, 전압분배부(10)는 가변저항(VR1)에 의해 설정된 값에 의존하여 제 1 및 제 2저항(R1,R2)과 가변저항(VR1)에 의해 전원전압(AVDD)을 분배하고, 그 분배된 전압을 기준전압으로서 버퍼증폭기(20)에 입력한다. 그러면, 버퍼증폭기(20)는 상기 기준전압을 유니티 게인(Unity gain)만큼 증폭하여 안정된 공통전압신호(VCOM)를 출력한다.

<29> 종래의 공통전압 발생회로에서는 안정된 공통전압신호를 출력하기 위한 수단으로서 가격이 싼 트랜지스터와 같은 부품을 사용하기도 하고, 가변저항의 출력을 직접 공통전압신호로 이용하기도 한다.

<30> 상기와 같은 종래의 공통전압 발생회로를 적용하여 액정표시장치를 제작할 경우 도 2 및 도 3에 나타낸 바와 같이 가변저항 값을 조정하기 위한 흄을 패널의 전면에 또는 경우에 따라서는 패널의 배면에 설치해야되므로, 액정표시장치의 설계 시 베젤의 폭을 좁게 설계해야되는 경우 제약이 뒤따르고, 게이트-인쇄회로기판이 없는 액정표시장치를 구현할 시 가변저항의 위치를 소스-인쇄회로기판으로 옮겨야하므로 기구적으로 설계하는 데 어려움이 발생하게 된다.

<31> 또한, 종래의 공통전압 발생회로를 적용하여 액정표시장치를 제작할 경우 가변저항의 정밀도에 따른 미세 조정에 어려움이 발생하고, 기구적인 결함으로 인하여 가변저항이 파손되는 불량이 발생할 수도 있고, 그리고 가변저항을 사용함에 따라 제조비용이 증가하게 된다.

<32> 또한, 종래의 공통전압 발생회로를 적용하여 액정표시장치를 제작할 경우 공통전압의 조정을 완료한 후, 그 액정표시장치를 이용하여 모니터 등과 같은 완전한 디스플레이 장치로 제작하면 차후에 그 디스플레이 장치를 분해하지 않는 한 공통전압의 재조정이 불가능하다는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<33> 따라서, 본 발명은 상기 문제점을 해결하기 위하여 통합보드에서 생성하는 잉여 펄스폭 변조신호를 이용하여 별도의 하드웨어를 추가함 없이 공통전압을 소프트웨어적으로 조정할 수 있도록 함으로써, 그 공통전압의 수정을 용이하게 하는 액정표시장치의 공통전압 조정회로를 제공하는 데 하나의 목적이 있다.

- <34> 또한, 본 발명은 공통전압을 미세 조정하기 위해 가변저항을 사용하는 대신 통합 보드에서 생성하는 잉여 펄스폭 변조신호를 이용하여 조정할 수 있도록 함으로써, 파손의 위험성을 줄이면서 제조비용을 줄일 수 있는 액정표시장치의 공통전압 조정회로를 제공하는 데 다른 목적이 있다.
- <35> 상기 목적을 달성하기 위한 본 발명의 제 1실시예는 공통전압 조정을 위한 업/다운 신호에 응답하여 펄스폭 변조신호를 출력하는 펄스신호 발생수단; 상기 펄스신호 발생수단으로부터의 펄스폭 변조신호를 직류레벨로 평활하는 평활수단; 및 상기 평활수단에서 평활된 신호를 소정레벨로 증폭하여 공통전압신호를 출력하는 증폭수단을 구비하는 것을 특징으로 한다.
- <36> 상기 목적을 달성하기 위한 본 발명의 제 2실시예는 공통전압 조정을 위한 업/다운 신호에 응답하여 동기신호와 직렬 디지털 데이터신호를 출력하는 데이터 발생수단; 상기 데이터 발생수단으로부터의 동기신호에 응답하여 상기 직렬 디지털 데이터신호를 아날로그신호로 변환하는 디지털-아날로그 변환수단; 및 상기 디지털-아날로그 변환수단에 의해 변환된 아날로그신호를 완충하여 공통전압신호를 출력하는 버퍼증폭수단을 구비하는 것을 특징으로 한다.
- <37> 상기 목적을 달성하기 위한 본 발명의 제 3실시예는 공통전압 조정을 위한 업/다운 신호에 응답하여 동기신호와 병렬 디지털 데이터신호를 출력하는 데이터 발생수단; 상기 데이터발생수단으로부터의 동기신호에 응답하여 상기 병렬 디지털 데이터신호를 아날로그신호로 변환하는 디지털-아날로그 변환수단; 및 상기 디지털-아날로그 변환수단에 의해 변환된 아날로그신호를 완충하여 공통전압신호를 출력하는 버퍼증폭수단을 구비하는 것을 특징으로 한다.

<38> 상기 목적을 달성하기 위한 본 발명의 제 4실시예는 공통신호 조정을 위해 동기신호와 직렬 디지털 데이터신호와 제 1 및 제 2선택신호를 입력받고, 상기 동기신호와 직렬 디지털 데이터신호와 제 1 및 제 2선택신호의 조합에 따라 데이터를 저장하거나 출력하는 데이터 저장수단; 상기 동기신호에 응답하여 상기 데이터 저장수단으로부터 상기 직렬 디지털 데이터신호를 입력받아 아날로그신호로 변환하는 디지털-아날로그 변환수단 ; 및 상기 디지털-아날로그 변환수단에 의해 변환된 아날로그신호를 완충하여 공통전압 신호를 출력하는 버퍼증폭수단을 구비하는 것을 특징으로 한다.

<39> 상기 목적을 달성하기 위한 본 발명의 제 5실시예는 공통신호 조정을 위해 동기신호와 병렬 디지털 데이터신호와 제 1 및 제 2선택신호를 입력받고, 상기 동기신호와 병렬 디지털 데이터신호와 제 1 및 제 2선택신호의 조합에 따라 데이터를 저장하거나 출력하는 데이터 저장수단; 상기 동기신호에 응답하여 상기 데이터 저장수단으로부터 상기 직렬 디지털 데이터신호를 입력받아 아날로그신호로 변환하는 디지털-아날로그 변환수단 ; 및 상기 디지털-아날로그 변환수단에 의해 변환된 아날로그신호를 완충하여 공통전압 신호를 출력하는 버퍼증폭수단을 구비하는 것을 특징으로 한다.

<40> 상기 목적을 달성하기 위한 본 발명의 제 6실시예는 제 1 및 제 2선택신호와 펄스 폭 변조신호를 입력받고, 상기 제 1 및 제 2선택신호의 조합에 따라 상기 펄스폭 변조신호를 저장하거나 출력하는 데이터 저장수단; 상기 데이터 저장수단으로부터 상기 펄스폭 변조신호를 입력받아 직류레벨로 평활하는 평활수단; 및 상기 평활부에서 평활된 신호를 소정레벨로 증폭하여 공통전압신호를 출력하는 증폭수단을 구비하는 것을 특징으로 한다.

【발명의 구성 및 작용】

- <41> 이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.
- <42> 도 5는 본 발명의 공통전압 조정회로를 적용하여 제작한 액정표시패널의 전면을 나타낸 도면이다. 여기서 도 2와 동일한 부분에 대해서 동일한 참조부호를 사용한다.
- <43> 도 6은 본 발명의 공통전압 조정회로를 적용하여 제작한 액정표시패널의 배면을 나타낸 도면이다. 여기서 도 3과 동일한 부분에 대해서 동일한 참조부호를 사용한다.
- <44> 도 7은 본 발명의 공통전압 조정회로를 적용하여 제작한 다른 실시예의 액정표시패널의 배면을 나타낸 도면이다. 여기서 도 4와 동일한 부분에 대해서 동일한 참조부호를 사용한다.
- <45> 본 발명의 실시예가 적용된 액정표시패널이 종래의 기술과 다른점은 도 5, 도 6 및 도 7에 나타낸 바와 같이, 액정표시패널의 전면 베젤에 설치되어 있던 가변저항의 값을 조정하기 위한 흄(102)과 게이트-인쇄회로기판(PCB)(110)에 설치되어 있던 가변저항(124)이 제거된다는 것이다.
- <46> 도 8은 본 발명의 제 1실시예에 따른 공통전압 조정회로를 설명하기 위한 블록도로서, 도시된 바와 같이, 공통전압 조정을 위한 업/다운(UP/DOWN)신호에 응답하여 펄스폭변조신호(PWM)를 출력하는 펄스신호 발생부(200)와, 펄스신호 발생부(200)로부터의 펄스폭 변조신호(PWM)를 직류레벨로 평활하는 평활부(202)와, 평활부에서 평활된 신호를 소정 레벨로 증폭하여 공통전압신호를 출력하는 증폭부(204)로 구성된다.

- <47> 상기 펄스신호 발생부(200)는 소프웨어적으로 조정이 가능하도록 외부에 두 개의 컨트롤 핀과 출력핀을 구비하며, 이들 컨트롤 핀을 통해 업/다운(UP/DOWN)신호를 입력받고, 출력핀을 통해 펄스폭 변조신호(PWM)를 출력한다.
- <48> 상기 평활부(202)는 일단을 통해 상기 펄스폭 변조신호를 입력받는 제 3저항(R3)과, 제 3저항(R3)의 타단과 접지사이에 결합된 제 1커패시터(C1)로 구성된다.
- <49> 상기 증폭부(204)는 반전단자(-)와 출력단 사이에 결합된 제 4저항(R4)과, 반전단자(-)와 접지사이에 결합된 제 5저항(R5)과, 평활부(202)에서 평활된 신호를 비반전단자(+)로 입력받아 소정레벨로 증폭하여 공통전압신호(VCOM)를 출력하는 비반전증폭기(204a)로 구성된다. 상기 비반전 증폭기(204a)는 통합보드상에서 AVDD전원을 공급받는다.
- <50> 도 9는 본 발명의 제 1실시예에 따른 펄스폭 변조신호를 나타낸 파형도이고, 도 10은 본 발명의 제 1실시예에 따른 평활신호를 나타낸 도면이고, 도 11은 본 발명의 실시예에 따른 공통전압 조정메뉴를 나타낸 도면이다.
- <51> 상기와 같이 구성된 본 발명의 제 1실시예에 대한 동작을 도 9 내지 도 11을 참조하여 설명하면 다음과 같다.
- <52> 먼저, 공통전압 조정을 위한 업/다운키 입력이 있을 경우 업/다운신호(UP/DOWN)가 펄스신호 발생부(200)에 인가되고, 이 업/다운신호(UP/DOWN) 따라 펄스신호 발생부(200)는 펄스폭 변조신호(PWM)를 발생한다.

- <53> 상기 펄스폭 변조신호(PWM)는 도 9에 나타낸 바와 같이, T1의 주기를 가지며, 공통 전압의 레벨을 조정하기 위해서 t0에서 t1구간인 Δt 의 변화폭을 가지고, 펄스신호 발생부(200)의 출력핀을 통해 출력된다.
- <54> 상기 펄스폭 변조신호(PWM)는 공통전압신호(VCOM)가 최적의 값을 갖도록 초기에 t0에서 t1구간의 중간에 오도록 설계된다. 이때 펄스폭 변조신호(PWM)의 듀티비는 50%가 된다. 이와 같이 듀티비를 50%가 공통전압신호(VCOM)의 최적 값이 되도록 증폭부(204)의 제 4저항(R4)과 제 5저항(R5)의 비가 정해진다.
- <55> 일반적으로, 공통전압신호는 액정표시장치의 편차에 따라 약간씩 달라지기 때문에 조정이 필요하게 되는바, 본 발명의 제 1실시예에서는 도 11의 공통전압 조종메뉴를 액정표시화면에 표시하고, 업/다운키의 누름에 의해 메뉴상의 표시바가 -측 또는 +측으로 증가 또는 감소하도록 한다. 상기 표시바는 디플트 값으로 중앙에 위치하게 된다.
- <56> 그 다음, 상기 펄스폭 변조신호(PWM)는 평활부(202)에 인가되어 평활된다. 도 10에 나타낸 바와 같이, 평활된 신호(VIN)는 펄스폭 변조신호(PWM)의 듀티비가 증가함에 따라 그 DC전압레벨이 증가하고, 펄스폭 변조신호(PWM)의 듀티비가 감소함에 따라 그 DC전압레벨이 감소한다.
- <57> 그 다음, 상기 평활부(202)에서 평활된 신호(VIN)는 증폭부(204)의 비반전단자(+)에 인가되고, 증폭부(204)는 DC전압레벨의 평활된 신호(VIN)를 공통전압신호(VCOM)로 사용하기에 충분한 레벨로 증폭한다.
- <58> 본 발명의 제 1실시예에 따라 증폭부(204)의 비반전증폭회로에서는 아래의 수학식 1과 같이 공통전압신호(VCOM)를 발생하며, 이 공통전압신호(VCOM)는 펄스폭 변조신호

(PWM)의 듀티비 50%가 공통전압신호의 최적 값이 되도록 증폭부(204)의 제 4저항(R4)과 제 5저항(R5)의 비에 의해 정해진다.

$$<59> \quad \text{【수학식 1】} \quad V_{COM} = V_{IN} \left(1 + \left(\frac{R_4}{R_5} \right) \right)$$

<60> 본 발명의 제 1실시예에 따라 상기 펄스폭 변조신호(PWM)의 듀티비는 공통전압신호 (VCOM)의 편차범위 이상으로 조절될 수 있다.

<61> 도 12는 본 발명의 제 2실시예에 따른 공통전압 조정회로를 설명하기 위한 블록도로서, 도시된 바와 같이, 공통전압 조정을 위한 업/다운신호(UP/DOWN)에 응답하여 동기 신호(SCL)와 직렬 디지털 데이터신호(SDA)를 출력하는 데이터 발생부(300)와, 데이터 발생부(300)로부터의 동기신호(SCL)에 응답하여 직렬 디지털 데이터신호(SDA)를 아날로그신호로 변환하여 출력하는 디지털-아날로그 변환부(302)와, 디지털-아날로그 변환부(302)에 의해 변환된 아날로그신호를 완충하여 공통전압신호를 출력하는 버퍼증폭부(304)로 구성된다.

<62> 상기 데이터 발생부(300)는 소프트웨어적으로 조정이 가능하도록 업다운신호를 입력하기 위한 두 개의 컨트롤판과, 동기신호(SCL)와 직렬 디지털 데이터신호(SDA)를 각각 이 출력하기 위한 두 개의 출력핀을 구비한다.

<63> 상기 데이터 발생부(300)와 디지털-아날로그 변환부(302) 사이에서 동기신호 전송을 위한 라인에는 전류제한저항인 제 6저항(R6)이 결합되고, 직렬 디지털 데이터신호 (SDA)를 전송하기 위한 라인에는 전류제한 저항인 제 7저항(R7)이 결합된다.

<64> 상기 버퍼증폭부(304)는 공통전압신호(VCOM)를 반전단자(-)로 피드백하고, 디지털-아날로그 변환부(302)에 의해 변환된 아날로그신호를 비반전단자(+)를 통해 입력받아

완충한 후 공통전압신호(VCOM)를 출력하는 버퍼증폭기(304a)와, 공통전압신호의 교류성분을 제거하기 위해 출력단과 접지사이에 결합된 제 2커패시터(C2)로 구성된다.

<65> 상기 버퍼증폭부(304)는 트랜지스터를 사용하여 구성될 수 있으며, 경우에 따라서는 디지털-아날로그 변환부(302)의 출력이 공통전압신호로서 그대로 사용될 수 있다.

<66> 도 13은 본 발명의 제 2실시예에 따른 동기신호 및 직렬 디지털 데이터신호를 나타낸 파형도이다.

<67> 상기와 같이 구성된 본 발명의 제 2실시예의 동작을 도 13을 참조하여 설명하면 다음과 같다.

<68> 먼저, 공통전압조정을 위한 업/다운키 입력이 있을 경우 업/다운신호(UP/DOWN)가 펄스신호 발생부(300)에 인가되고, 이 업/다운신호(UP/DOWN) 따라 펄스신호 발생부(300)는 도 13에 나타낸 바와 같이, 동기신호(SCL)와 직렬 디지털 데이터신호(SDA)를 발생한다.

<69> 본 발명의 제 2실시예에서는 디지털-아날로그 변환부(302)의 해상도를 8비트로 하기 때문에 스타트 동기신호(START)와 스톱 동기신호(STOP) 구간에서 발생되는 8비트의 직렬 디지털 데이터신호(SDA)를 디지털-아날로그 변환부(302)에 인가한다. 여기서 해상도를 8비트로 한다는 것은 공통전압신호(VCOM)의 가변가능 레벨을 2^8 개(256단계)로 할 수 있다는 것을 의미한다.

<70> 상기 8비트의 직렬 디지털 데이터신호(SDA)의 디폴트 값이 10000000으로 설정되어 있다고 가정하면, 이 상태에서 다운키의 입력이 있을 경우 8비트의 직렬 디지털 데이터신호(SDA)는 점점 감소되는 방향으로 변하여 최종적으로 00000000의 값이 될 것이고, 반

면에 업키의 입력이 있을 경우 8비트의 직렬 디지털 데이터신호(SDA)는 점점 증가하는 방향으로 변하여 최종적으로 11111111의 값이 될 것이다.

- <71> 상기 직렬 디지털 데이터신호(SDA)의 비트수는 공통전압신호(VCOM)의 가변범위에 따라 달라지게 되는 데, 정밀하게 조정해야 할 필요가 있을 때는 비트수를 늘려주면 된다. 이때, 비트수는 공통전압신호의 편차범위 이상으로만 조절된다.
- <72> 그 다음, 도 13에 나타낸 바와 같이, 스타트 동기신호(START)와 스톱 동기신호(STOP) 구간에서 발생된 직렬 디지털 데이터신호(SDA)가 디지털-아날로그 변환부(302)에 입력되면, 디지털-아날로그 변환부(302)는 이 직렬 디지털 데이터신호(SDA)를 아날로그 신호로 변환하여 버퍼증폭기(304a)의 비반전단자(+)로 출력한다.
- <73> 그러면, 버퍼증폭부(304)는 디지털-아날로그 변환부(302)에 의해 변환된 아날로그 신호를 유니티 게인(Utity Gain)만큼 증폭하여 공통전압신호로서 출력한다. 이때 출력되는 공통전압신호의 성분중 교류성분은 제 2커패시터(C2)에 의해 걸러진다.
- <74> 도 14는 본 발명의 제 3실시예에 따른 공통전압 조정회로를 설명하기 위한 블록도로서, 도시된 바와 같이, 공통전압 조정을 위한 업/다운신호(UP/DOWN)에 응답하여 동기신호(PCL)와 병렬 디지털 데이터신호(D0~Dn)를 출력하는 데이터 발생부(400)와, 데이터 발생부(400)로부터의 동기신호(PCL)에 응답하여 병렬 디지털 데이터신호(D0~Dn)를 아날로그신호로 변환하는 디지털-아날로그 변환부(402)와, 디지털-아날로그 변환부(402)에 의해 변환된 아날로그신호를 완충하여 공통전압신호(VCOM)를 출력하는 버퍼증폭부(404)로 구성된다.

- <75> 상기 데이터 발생부(400)는 소프트웨어적으로 조정이 가능하도록 업다운신호를 입력하기 위한 두 개의 컨트롤판과, 동기신호(PCL)와 병렬 디지털 데이터신호(D0~Dn)를 각각이 출력하기 위한 n+2개의 출력핀을 구비한다.
- <76> 상기 데이터 발생부(400)와 디지털-아날로그 변환부(402) 사이에 있어서, 동기신호 전송을 위한 라인에 전류제한 저항인 제 8저항(R8)이 결합되고, 병렬 디지털 데이터신호(D0~Dn)를 전송하기 위한 라인에 전류제한 저항인 복수의 저항(RCL0~RCLn)이 대응하여 결합된다.
- <77> 상기 버퍼증폭부(404)는 공통전압신호(VCOM)를 반전단자(-)로 피드백하고, 디지털-아날로그 변환부(402)에 의해 변환된 아날로그신호를 비반전단자(+)를 통해 입력받아 완충한 후 공통전압신호(VCOM)를 출력하는 버퍼증폭기(404a)와, 공통전압신호(VCOM)의 교류성분을 제거하기 위해 출력단과 접지사이에 결합된 제 3커패시터(C3)로 구성된다.
- <78> 본 발명의 제 3실시예에서는 디지털-아날로그 변환부(402)의 해상도를 8비트로 하기 때문에 디지털-아날로그 변환부(402)는 동기신호(PCL)에 응답하여 8비트의 병렬 디지털 데이터신호를 입력받아 아날로그 신호로 변환한다. 여기서 해상도를 8비트로 한다는 것은 공통전압신호(VCOM)의 가변가능 레벨을 2⁸개(256단계)로 할 수 있다는 것을 의미한다.
- <79> 상기 병렬 디지털 데이터신호(D0~Dn)의 비트수는 공통전압신호(VCOM)의 가변범위에 따라 달라지게 되는 데, 정밀하게 조정해야할 필요가 있을 때는 비트수를 늘려주면 된다. 이때, 비트수는 공통전압신호의 편차범위 이상으로만 초절된다.

- <80> 상기와 같이 구성된 본 발명의 제 3실시예는 상기 제 2실시예와 유사하지만, 데이터 발생부(400)가 직렬 디지털 데이터신호(SDA) 대신 병렬 디지털 데이터(D0~Dn)를 출력하도록 구성되고, 디지털-아날로그 변환부(402)는 병렬 디지털 데이터(D0~Dn)를 아날로그신호를 변환하도록 구성된다는 점에서 큰 차이점이 있다.
- <81> 도 15는 본 발명의 제 4실시예에 따른 공통전압 조정회로를 설명하기 위한 블록도로서, 도시된 바와 같이, 공통전압조정을 위해 제 1 및 제 2선택신호(C0,C1)의 조합에 따라 동기신호(SCL)와 직렬 디지털 데이터신호(SDA)를 입력받아 저장하고, 상기 제 1 및 제 2선택신호(C0,C1)의 조합에 따라 그 저장된 동기신호(SCL)와 직렬 디지털 데이터신호(SDA)를 출력하는 데이터 저장부(500)와, 상기 동기신호(SCL)에 응답하여 데이터 저장부(500)로부터 상기 직렬 디지털 데이터신호(SDA)를 입력받아 아날로그신호로 변환하는 디지털-아날로그 변환부(502)와, 디지털-아날로그 변환부(502)에 의해 변환된 아날로그신호를 완충하여 공통전압신호(VCOM)를 출력하는 버퍼증폭부(504)로 구성된다.
- <82> 상기 데이터 저장부(500)는 임의의 데이터를 저장하고, 그 저장된 값을 수정할 수 있으며, 또한 그 저장된 데이터를 직렬 형식의 디지털 데이터로 출력할 수 있도록 두 개의 인에이블단자(W/En, 0/En)와, 동기신호(SCL)와 직렬 디지털 데이터신호(SDA)를 대응하여 입력하기 위한 두 개의 입력단자를 구비한다.
- <83> 상기 인에이블단자(W/En)는 제 1선택신호(C0)를 입력받기 위해 사용되고, 제 9저항(R9)을 경유하여 접지에 결합된다. 상기 인에이블단자(0/En)는 제 2선택신호(C1)를 입력받기 위해 사용되고, 제 10저항(R10)을 경유하여 전원전압(VDD)에 결합된다.

<84> 상기 동기신호 입력단자는 전류제한저항이 제 11저항(R11)을 경유하여 디지털-아날로그 변환부(502)와 결합되고, 상기 직렬 디지털 데이터신호(SDA)는 전류제한저항인 제 12저항(R12)을 경유하여 디지털-아날로그 변환부(502)와 결합된다.

<85> 상기 동기신호(SCL)는 데이터 저장부(500)에 입력됨과 동시에 디지털-아날로그 변환부(502)에도 입력된다.

<86> 상기 버퍼증폭부(504)는 공통전압신호(VCOM)를 반전단자(-)로 피드백하며, 디지털-아날로그 변환부(502)에 의해 변환된 아날로그신호를 비반전단자(+)를 통해 입력받아 완충한 후 공통전압신호(VCOM)를 출력하는 버퍼증폭기(504a)와, 공통전압신호(VCOM)의 교류성분을 제거하기 위해 출력단과 접지사이에 결합된 제 4커패시터(C4)로 구성된다.

<87> 상기와 같이 구성된 본 발명의 제 4실시예에서는 4개의 입력신호 즉, 제 1 및 제 2 선택신호(C0,C1)와 동기신호(SCL)와 직렬 디지털 데이터신호(SDA)가 데이터 저장부(500)에 인가된다. 이때, 4개의 입력 상태는 아래의 표 1과 같다.

<88> 【표 1】

	테스트	기입	FIX
C0	L	L	NC
C1	L	H	NC
SCL	CLOCK	CLOCK	NC
SDA	DATA	DATA	NC

<89> 여기서, L은 논리레벨 "로우"상태를, H는 논리레벨 "하이"상태를, NC는 Non Connection 상태를 각각 의미한다.

<90> 본 발명의 제 4실시예에 대한 동작을 상기 표 1을 참조하여 설명하면, 먼저, 공통 전압의 최적 값을 테스트하기 위한 테스트 모드에서는 제 1선택신호(C0)의 상태가 논리

레벨 "로우"이고, 제 2선택신호가 논리레벨 "로우"가 되고, 이때, 데이터 저장부(500)는 쓰기가 되지 않고, 출력도 되지 않는 상태가 된다.

<91> 따라서, 테스트 모드시에는 동기신호(SCL)와 직렬 디지털 데이터신호(SDA)는 데이터 저장부(500)로 입력되지 않고 디지털-아날로그 변환부(502)로 바로 입력된 후 아날로그신호로 변환된다.

<92> 한편, 외부에서 최적의 직렬 디지털 데이터신호(SDA)가 정해지면, 이 데이터신호를 데이터 저장부(500)에 저장해야되는 데, 이를 위해 표 1의 기입모드를 사용한다. 상기 기입모드에는 제 1선택신호(C0)가 논리레벨 "로우"상태가 되고, 제 2선택신호(C1)가 논리레벨 "하이"상태가 된다. 이 경우 데이터 저장부(500)는 쓰기는 가능하지만 출력이 되지 않는 상태가 된다.

<93> 그 다음, 데이터의 입력이 완료된 상태에서 액정표시장치를 제작한 후 4개의 입력을 "오픈"시키면, 본 발명의 제 4실시예는 표 1에 나타낸 바와 같이, FIX모드가 된다. 이 FIX모드에서는 제 1 및 제 2선택신호(C0,C1)와, 동기신호(SCL)와 직렬 디지털 데이터신호(SDA)를 입력하기 위한 입력단자가 "NC"상태가 된다. 이 경우 데이터 저장부(500)는 제 9저항(R9) 및 제 10저항(R10)에 의해서 쓰기는 금지되고, 출력만 가능한 상태가 된다.

<94> 따라서, FIX모드에서는 데이터 저장부(500)에 저장된 직렬 디지털 데이터신호(SDA)가 아날로그-디지털 변환 및 증폭 과정을 거쳐서 최적의 공통전압신호(VCOM)로 출력된다.

<95> 본 발명의 제 4실시예에서 디지털-아날로그 변환부(502)와, 버퍼증폭부(504)의 동작은 상기 제 2실시예와 동일하므로, 이하 그 상세한 설명은 생략하기로 한다.

<96> 도 16은 본 발명의 제 5실시예에 따른 공통전압 조정회로를 설명하기 위한 블록도로서, 도시된 바와 같이, 공통전압조정을 위해 제 1 및 제 2선택신호(C0,C1)의 조합에 따라 동기신호(PCL)와 병렬 디지털 데이터신호(D0~Dn)를 입력받아 저장하고, 제 1 및 제 2선택신호(C0,C1)의 조합에 따라 그 저장된 동기신호(PCL)와 병렬 디지털 데이터신호(D0~Dn)를 출력하는 데이터 저장부(600)와, 상기 동기신호(PCL)에 응답하여 데이터 저장부(600)로부터 상기 병렬 디지털 데이터신호(D0~Dn)를 입력받아 아날로그신호로 변환하는 디지털-아날로그 변환부(602)와, 디지털-아날로그 변환부(602)에 의해 변환된 아날로그신호를 완충하여 공통전압신호(VCOM)를 출력하는 버퍼증폭부(604)로 구성된다.

<97> 상기 데이터 저장부(600)는 임의의 데이터를 저장하고, 그 저장된 값을 수정할 수 있으며, 또한 그 저장된 데이터를 직렬 형식의 디지털 데이터로 출력할 수 있도록 두 개의 인에이블단자(W/En, 0/En)와, 동기신호(PCL)와 병렬 디지털 데이터신호(D0~Dn)를 대응하여 입력하기 위한 복수의 입력단자를 구비한다.

<98> 상기 인에이블단자(W/En)는 제 1선택신호(C0)를 입력받기 위해 사용되고, 제 13저항(R13)을 경유하여 접지에 결합된다. 상기 인에이블단자(0/En)는 제 2선택신호(C1)를 입력받기 위해 사용되고, 제 14저항(R14)을 경유하여 전원전압(VDD)에 결합된다.

<99> 상기 동기신호 입력단자는 전류제한저항인 제 15저항(R15)을 경유하여 디지털-아날로그 변환부(602)와 결합되고, 상기 병렬 디지털 데이터신호(D0~Dn)는 전류제한저항인 복수의 저항(RCL0'~RCLn')을 경유하여 디지털-아날로그 변환부(602)와 결합된다.

- <100> 상기 동기신호(PCL)는 데이터 저장부(600)에 입력됨과 동시에 디지털-아날로그 변환부(602)에도 입력된다.
- <101> 상기 버퍼증폭부(604)는 공통전압신호(VCOM)를 반전단자(-)로 피드백하며, 디지털-아날로그 변환부(602)에 의해 변환된 아날로그신호를 비반전단자(+)를 통해 입력받아 완충한 후 상기 공통전압신호(VCOM)를 출력하는 버퍼증폭기(604a)와, 상기 공통전압신호(VCOM)의 교류성분을 제거하기 위해 출력단과 접지사이에 결합된 제 5커패시터(C5)로 구성된다.
- <102> 상기와 같이 구성된 본 발명의 제 5실시예에서는 제 1 및 제 2선택신호(C0,C1)와 동기신호(SCL)와 병렬 디지털 데이터신호(D0~Dn)가 데이터 저장부(500)에 인가된다. 이 때 상기 신호들의 입력 상태는 아래의 표 2와 같다.

<103> 【표 2】

	테스트	기입	FIX
C0	L	L	NC
C1	L	H	NC
PCL	CLOCK	CLOCK	NC
D0	DATA	DATA	NC
D1	DATA	DATA	NC
D2	DATA	DATA	NC
...
Dn	DATA	DATA	NC

- <104> 여기서, L은 논리레벨 "로우"상태를, H는 논리레벨 "하이"상태를, NC는 Non Connection 상태를 각각 의미한다.
- <105> 본 발명의 제 5실시예에 대한 동작을 상기 표 2을 참조하여 설명하면, 먼저, 공통전압의 최적 값을 테스트하기 위한 테스트 모드에서는 제 1선택신호(C0)의 상태가 논리

레벨 "로우"이고, 제 2선택신호가 논리레벨 "로우"가 되고, 이때, 데이터 저장부(600)는 쓰기가 되지 않고, 출력도 되지 않는 상태가 된다.

<106> 따라서, 테스트 모드시에는 동기신호(PCL)와 병렬 디지털 데이터신호(D0~Dn)는 데이터 저장부(600)로 입력되지 않고 디지털-아날로그 변환부(602)로 바로 입력된 후 아날로그신호로 변환된다.

<107> 한편, 외부에서 최적의 병렬 디지털 데이터신호(D0~Dn)가 정해지면, 이 데이터신호를 데이터 저장부(600)에 저장해야되는 데, 이를 위해 표 2의 기입모드를 사용한다. 상기 기입모드에는 제 1선택신호(C0)가 논리레벨 "로우"상태가 되고, 제 2선택신호(C1)가 논리레벨 "하이"상태가 된다. 이 경우 데이터 저장부(600)는 쓰기는 가능하지만 출력이 되지 않는 상태가 된다.

<108> 그 다음, 기입모드가 완료된 상태에서 액정표시장치를 제작한 후 4개의 입력을 "오픈"시키면, 본 발명의 제 5실시예는 표 2에 나타낸 바와 같이, FIX모드가 된다. 이 FIX모드에서는 제 1 및 제 2선택신호(C0,C1)와, 동기신호(PCL)와 병렬 디지털 데이터신호(D0~Dn)를 입력하기 위한 입력단자들이 "NC"상태가 된다. 이 경우 데이터 저장부(500)는 제 13저항(R13) 및 제 14저항(R14)에 의해서 쓰기는 금지되고, 출력만 가능한 상태가 된다.

<109> 본 발명의 제 5실시예에서 디지털-아날로그 변환부(602)와, 버퍼증폭부(604)의 동작은 상기 제 2실시예와 동일하므로, 이하 그 상세한 설명은 생략하기로 한다.

<110> 도 17은 본 발명의 제 6실시예에 따른 공통전압 조정회로를 설명하기 위한 블록도서, 도시된 바와 같이, 제 1 및 제 2선택신호(C0,C1)와 펄스폭 변조신호(PWM)를 입력받

고, 상기 제 1 및 제 2선택신호(C0,C1)의 조합에 따라 상기 펄스폭 변조신호(PWM)를 저장하거나 출력하는 데이터 저장부(700)와, 테스트모드시 외부에서 입력되는 펄스폭 변조신호(PWM)를 직류레벨로 평활하고, 기입모드시 데이터 저장부(700)에서 입력되는 펄스폭 변조신호(PWM)를 직류레벨로 평활하는 평활부(702)와, 평활부(702)에서 평활된 신호를 소정레벨로 증폭하여 공통전압신호(VCOM)를 출력하는 증폭부(704)로 구성된다.

<111> 상기 데이터 저장부(700)는 임의의 데이터를 저장하고, 그 저장된 값을 수정할 수 있으며, 또한 그 저장된 데이터를 직렬 형식의 디지털 데이터로 출력할 수 있도록 두 개의 인에이블단자(W/En, 0/En)와, 펄스폭 변조신호(PWM)을 입력 또는 출력하기 위한 입/출력 단자를 구비한다.

<112> 상기 기입 인에이블단자(W/En)는 제 1선택신호(C0)를 입력받기 위해 사용되고, 제 16저항(R16)을 경유하여 접지에 결합된다. 상기 출력 인에이블단자(0/En)는 제 2선택신호(C1)를 입력받기 위해 사용되고, 제 17저항(R17)을 경유하여 전원전압(VDD)에 결합된다.

<113> 상기 평활부(702)는 일단을 통해 외부 또는 데이터 저장부(700)로부터 펄스폭 변조신호(PWM)신호를 입력받는 제 18저항(R18)과, 제 18저항(R18)의 타단과 접지사이에 결합된 제 6커패시터(C6)로 구성된다.

<114> 상기 증폭부(704)는 반전단자(-)와 출력단 사이에 결합된 제 19저항(R4)과, 반전단자(-)와 접지사이에 결합된 제 20저항(R20)과, 평활부(702)에서 평활된 신호를 비반전단자(+)로 입력받아 소정레벨로 증폭하여 공통전압신호(VCOM)를 출력하는 비반전 증폭기(704a)로 구성된다. 상기 비반전 증폭기(704a)는 통합보드상에서 AVDD전원을 공급받는다

<115> 상기와 같이 구성된 제 6실시예는 3개의 입력신호 즉, 제 1 및 제 2선택신호 (C0,C1)와 펄스폭 변조신호(PWM)가 데이터 저장부(700)에 인가된다. 이때, 3개의 입력신호의 상태는 아래의 표 3과 같다.

<116> 【표 3】

	테스트	기입	FIX
C0	L	L	NC
C1	L	H	NC
PWM	PULSE	PULSE	NC

<117> 여기서, L은 논리레벨 "로우"상태를, H는 논리레벨 "하이"상태를, NC는 Non Connection 상태를 각각 의미한다.

<118> 본 발명의 제 6실시예의 동작을 상기 표 3을 참조하여 설명하면, 먼저 공통전압의 최적 값을 테스트하기 위한 테스트모드에서는 제 1선택신호(C0)의 상태가 논리레벨 "로우"이고, 제 2선택신호가 논리레벨 "로우"가 되고, 데이터 저장부(700)는 쓰기가 되지 않고 출력도 되지 않는 상태가 된다.

<119> 따라서, 테스트모드시에는 펄스폭 변조신호(PWM)는 데이터 저장부(700)로 입력되지 않고 디지털-아날로그 변환부(702)로 바로 입력된 후 아날로그신호로 변환된다.

<120> 한편, 외부에서 최적인 펄스폭 변조신호(PWM)의 듀티비가 정해지면, 이 데이터신호를 데이터 저장부(700)에 저장해야되는 데, 이를 위해 표 3의 기입모드를 적용한다. 상기 기입모드에는 제 1선택신호(C0)가 논리레벨 "로우"상태가 되고, 제 2선택신호(C1)가 논리레벨 "하이"상태가 된다. 이 경우 데이터 저장부(700)는 쓰기는 가능하지만 출력이 되지 않는 상태가 된다.

<121> 그 다음, 기입모드가 완료된 상태에서 액정표시장치를 제작한 후 4개의 입력을 "오픈"시키면, 본 발명의 제 6실시예는 표 3에 나타낸 바와 같이, FIX모드가 된다. 이 FIX 모드에서는 제 1 및 제 2선택신호(C0,C1)와 펠스폭 변조신호(PWM)를 입력하기 위한 입력 단자들이 "NC"상태가 된다. 이 경우 데이터 저장부(700)는 제 16저항(R16) 및 제 17저항(R17)에 의해서 쓰기는 금지되고, 출력만 가능한 상태가 된다.

<122> 따라서, FIX모드에서는 데이터 저장부(700)에 저장된 펠스폭 변조신호(PWM)가 아날로그-디지털 변환 및 증폭 과정을 거쳐서 최적의 공통전압신호(VCOM)로 출력된다.

<123> 도 18은 본 발명의 제 1실시예를 적용하여 구현한 공통전압 조정회로이고, 도 19는 도 18의 노드별 측정데이터를 나타낸 도면이고, 도 20 내지 도 27는 도 18의 노드별 측정파형을 나타낸 파형이다. 여기서 노드(a)에서의 측정값은 펠스폭 변조신호의 듀티비를, 노드(b)에서의 측정값은 평활 DC값을, 노드(C)에서의 측정값은 공통전압신호 값을 각각 나타낸다.

<124> 도 20은 공통전압조정 메뉴값이 00일때의 노드(a,b,c)에서의 측정파형을 나타낸 파형도로서, 주파수는 167.127kHz이고, 듀티비는 45.18%이고, 평활 DC값은 1.508V이고, 공통전압신호 값은 3.676V이다.

<125> 도 21은 공통전압조정 메뉴값이 01일때의 노드(a,b,c)에서의 측정파형을 나타낸 파형도로서, 주파수는 167.087kHz이고, 듀티비는 45.55%이고, 평활 DC값은 1.518V이고, 공통전압신호 값은 3.704V이다.

- <126> 도 22는 공통전압조정 메뉴값이 02일때의 노드(a,b,c)에서의 측정파형을 나타낸 파형도로서, 주파수는 167.115kHz이고, 듀티비는 45.30%이고, 평활 DC값은 1.548V이고, 공통전압신호 값은 3.766V이다..
- <127> 도 23은 공통전압조정 메뉴값이 03일때의 노드(a,b,c)에서의 측정파형을 나타낸 파형도로서, 주파수는 167.051kHz이고, 듀티비는 46.72%이고, 평활 DC값은 1.556V이고, 공통전압신호 값은 3.794V이다.
- <128> 도 24는 공통전압조정 메뉴값이 04일때의 노드(a,b,c)에서의 측정파형을 나타낸 파형도로서, 주파수는 167.176kHz이고, 듀티비는 47.07%이고, 평활 DC값은 1.571V이고, 공통전압신호 값은 3.831V이다.
- <129> 도 25는 공통전압조정 메뉴값이 05일때의 노드(a,b,c)에서의 측정파형을 나타낸 파형도로서, 주파수는 167.176kHz이고, 듀티비는 47.13%이고, 평활 DC값은 1.566V이고, 공통전압신호 값은 3.834V이다.
- <130> 도 26은 공통전압조정 메뉴값이 06일때의 노드(a,b,c)에서의 측정파형을 나타낸 파형도로서, 주파수는 167.176kHz이고, 듀티비는 47.51%이고, 평활 DC값은 1.580V이고, 공통전압신호 값은 3.861V이다.
- <131> 도 27은 공통전압조정 메뉴값이 07일때의 노드(a,b,c)에서의 측정파형을 나타낸 파형도로서, 주파수는 167.156kHz이고, 듀티비는 47.94%이고, 평활 DC값은 1.590V이고, 공통전압신호 값은 3.895V이다.

【발명의 효과】

- <132> 이상에서 설명한 바와 같이, 본 발명은 통합보드에서 생성하는 잉여 펄스폭 변조신호를 이용하여 별도의 하드웨어를 추가함 없이 공통전압을 소프트웨어적으로 조정할 수 있도록 함으로써, 액정표시장치를 조립한 후에도 그 공통전압의 수정을 용이하게 할 수 있는 효과가 있다.
- <133> 또한, 본 발명은 공통전압을 미세 조정하기 위해 가변저항을 사용하는 대신 통합보드에서 생성하는 잉여 펄스폭 변조신호를 이용하여 조정할 수 있도록 함으로써, 파손의 위험성을 줄이면서 제조비용을 줄일 수 있는 다른 효과가 있다.
- <134> 또한, 본 발명은 액정표시패널의 전면 베젤에 설치되어 있던 가변저항의 값을 조정하기 위한 흠파 게이트-인쇄회로기판에 설치되어 있던 가변저항을 제거할 수 있으므로, 게이트-인쇄회로기판이나 소스-인쇄회로가 없는 제품을 디자인할 경우 설계의 자유도가 향상되는 또 다른 효과가 있다.
- <135> 상기에서 본 발명의 특정 실시예가 설명 및 도시되었지만, 본 발명이 당업자에 의해 다양하게 변형되어 실시될 가능성이 있는 것은 자명한 일이다. 이와 같은 변형된 실시예들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어져서는 안되며, 본 발명에 첨부된 특허청구범위 안에 속한다 해야 할 것이다

【특허청구범위】**【청구항 1】**

공통전압 조정을 위한 업/다운 신호에 응답하여 펄스폭 변조신호를 출력하는 펄스 신호 발생수단;

상기 펄스신호 발생수단으로부터의 펄스폭 변조신호를 직류레벨로 평활하는 평활 수단; 및

상기 평활수단에서 평활된 신호를 소정레벨로 증폭하여 공통전압신호를 출력하는 증폭수단을 구비하는 것을 특징으로 하는 액정표시장치의 공통전압 조정회로.

【청구항 2】

제 1항에 있어서,

상기 평활수단은 일단을 통해 상기 펄스폭 변조신호를 입력받는 제 3저항과, 상기 제 3저항의 타단과 접지사이에 결합된 제 1커패시터로 구성되는 것을 특징으로 하는 액정표시장치의 공통전압 조정회로.

【청구항 3】

제 1 항에 있어서,

상기 증폭수단은 반전단자와 출력단 사이에 결합된 제 4저항과, 반전단자와 접 사이에 결합된 제 5저항과, 상기 평활수단에서 평활된 신호를 비반전단자로 입력받아 소정 레벨로 증폭하여 공통전압신호를 출력하는 비반전 증폭기로 구성되는 것을 특징으로 하는 액정표시장치의 공통전압 조정회로.

【청구항 4】

공통전압 조정을 위한 업/다운 신호에 응답하여 동기신호와 직렬 디지털 데이터신호를 출력하는 데이터 발생수단;

상기 데이터 발생수단으로부터의 동기신호에 응답하여 상기 직렬 디지털 데이터신호를 아날로그신호로 변환하는 디지털-아날로그 변환수단; 및
상기 디지털-아날로그 변환수단에 의해 변환된 아날로그신호를 완충하여 공통전압 신호를 출력하는 버퍼증폭수단을 구비하는 것을 특징으로 하는 액정표시장치의 공통전압 조정회로.

【청구항 5】

제 4 항에 있어서,

상기 버퍼증폭수단은 상기 공통전압신호를 반전단자로 피드백하며, 상기 디지털-아날로그 변환수단에 의해 변환된 아날로그신호를 비반전단자를 통해 입력받아 완충한 후 상기 공통전압신호를 출력하는 버퍼증폭기와, 상기 공통전압신호의 교류성분을 제거하기 위해 출력단과 접지사이에 결합된 제 2커패시터를 구비하는 것을 특징으로 하는 액정표시장치의 공통전압 조정회로.

【청구항 6】

공통전압 조정을 위한 업/다운 신호에 응답하여 동기신호와 병렬 디지털 데이터신호를 출력하는 데이터 발생수단;

상기 데이터발생수단으로부터의 동기신호에 응답하여 상기 병렬 디지털 데이터신호를 아날로그신호로 변환하는 디지털-아날로그 변환수단; 및
상기 디지털-아날로그 변환수단에 의해 변환된 아날로그신호를 완충하여 공통전압신호를 출력하는 버퍼증폭수단을 구비하는 것을 특징으로 하는 액정표시장치의 공통전압조정회로.

【청구항 7】

제 6 항에 있어서,

상기 버퍼증폭수단은 상기 공통전압신호를 반전단자로 피드백하며, 상기 디지털-아날로그 변환수단에 의해 변환된 아날로그신호를 비반전단자를 통해 입력받아 완충한 후 상기 공통전압신호를 출력하는 버퍼증폭기와, 상기 공통전압신호의 교류성분을 제거하기 위해 출력단과 접지사이에 결합된 제 3커패시터를 구비하는 것을 특징으로 하는 액정표시장치의 공통전압 조정회로

【청구항 8】

공통전압조정을 위해 제 1 및 제 2선택신호와 동기신호와 직렬 디지털 데이터신호를 입력받고, 상기 제 1 및 제 2선택신호의 조합에 따라 상기 동기신호와 직렬 디지털 데이터신호를 저장하거나 출력하는 데이터 저장수단;

상기 데이터 저장수단의 출력시 상기 데이터 저장수단에서 공급되는 동기신호에 응답하여 상기 데이터 저장수단으로부터의 직렬 디지털 데이터신호를 아날로그신호로 변환하고, 상기 데이터 저장수단의 쓰기 및 출력 금지시 외부에서 입력되는 동기신호에 응

답하여 외부에서 입력되는 직렬 디지털 데이터신호를 아날로그 신호로 변환하는 디지털-아날로그 변환수단; 및

상기 디지털-아날로그 변환수단에 의해 변환된 아날로그신호를 완충하여 공통전압 신호를 출력하는 버퍼증폭수단을 구비하는 것을 특징으로 하는 액정표시장치의 공통전압 조정회로.

【청구항 9】

제 8 항에 있어서,

상기 데이터 저장수단은 상기 제 1 및 제 2선택신호가 디스에이블될 때 쓰기 및 독출이 금지되는 것을 특징으로 하는 액정표시장치의 공통전압 조정회로.

【청구항 10】

제 8 항에 있어서,

상기 데이터 저장수단은 상기 제 1선택신호가 디스에이블되고 상기 제 2선택신호가 인에이블될 때 쓰기만 가능한 상태가 되는 것을 특징으로 하는 액정표시장치의 공통전압 조정회로.

【청구항 11】

제 8 항에 있어서,

상기 데이터 저장수단은 상기 동기신호와 직렬 디지털 데이터신호와 제 1 및 제 2 선택신호의 입력을 오픈시킬 때 출력만 가능한 상태가 되는 것을 특징으로 하는 액정표시장치의 공통전압 조정회로.

【청구항 12】

제 8 항에 있어서,

상기 버퍼증폭수단 상기 공통전압신호를 반전단자로 피드백하며, 상기 디지털-아날로그 변환수단에 의해 변환된 아날로그신호를 비반전단자를 통해 입력받아 완충한 후 상기 공통전압신호를 출력하는 버퍼증폭기와, 상기 공통전압신호의 교류성분을 제거하기 위해 출력단과 접지사이에 결합된 제 4커패시터를 구비하는 것을 특징으로 하는 액정표 시장치의 공통전압 조정회로.

【청구항 13】

제 4 항 및 제 8 항에 있어서,

상기 직렬 디지털 데이터신호의 비트수는 상기 공통전압신호의 편차범위 이상으로 조절될 수 있는 것을 특징으로 하는 액정표시장치의 공통전압 조정회로.

【청구항 14】

공통전압조정을 위해 동기신호와 병렬 디지털 데이터신호와 제 1 및 제 2선택신호를 입력받고, 상기 제 1 및 제 2선택신호의 조합에 따라 상기 동기신호 및 병렬 디지털 데이터신호를 저장하거나 출력하는 데이터 저장수단;

상기 데이터 저장수단의 쓰기 및 출력 금지시 외부에서 입력되는 동기신호에 응답하여 외부에서 입력되는 병렬 디지털 데이터신호를 아날로그 신호로 변환하고, 상기 데이터 저장수단의 출력시 상기 데이터 저장수단에서 공급하는 동기신호에 응답하여 상기 데이터 저장수단으로부터의 직렬 디지털 데이터신호를 아날로그신호로 변환하는 디지털-아날로그 변환수단; 및

상기 디지털-아날로그 변환수단에 의해 변환된 아날로그신호를 완충하여 공통전압 신호를 출력하는 버퍼증폭수단을 구비하는 것을 특징으로 하는 액정표시장치의 공통전압 조정회로.

【청구항 15】

제 14 항에 있어서,

상기 데이터 저장수단은 상기 제 1 및 제 2선택신호 모두가 논리레벨 "로우"상태일 때 쓰기 및 독출이 금지되는 것을 특징으로 하는 액정표시장치의 공통전압 조정회로.

【청구항 16】

제 14 항에 있어서,

상기 데이터 저장수단은 상기 제 1선택신호가 논리레벨 "로우"상태이고, 상기 제 2선택신호가 논리레벨 "하이"상태일 때 쓰기만 가능한 상태가 되는 것을 특징으로 하는 액정표시장치의 공통전압 조정회로.

【청구항 17】

제 14 항에 있어서,

상기 데이터 저장수단은 상기 동기신호와 병렬 디지털 데이터신호와 제 1 및 제 2 선택신호의 입력을 오픈시킬 때 출력만 가능한 상태가 되는 것을 특징으로 하는 액정표시장치의 공통전압 조정회로.

【청구항 18】

제 14항에 있어서,

상기 디지털-아날로그 변환수단은 상기 제 1 및 제 2선택신호가 논리레벨 "로우"상태일 때 외부에서 입력되는 동기신호 및 직렬 데이터신호를 입력받아 아날로그 신호를 생성하는 것을 특징으로 하는 액정표시장치의 공통전압 조정회로.

【청구항 19】

제 14 항에 있어서,

상기 버퍼증폭수단 상기 공통전압신호를 반전단자로 피드백하며, 상기 디지털-아날로그 변환수단에 의해 변환된 아날로그신호를 비반전단자를 통해 입력받아 완충한 후 상기 공통전압신호를 출력하는 버퍼증폭기와, 상기 공통전압신호의 교류성분을 제거하기 위해 출력단과 접지사이에 결합된 제 5커패시터를 구비하는 것을 특징으로 하는 액정표시장치의 공통전압 조정회로.

【청구항 20】

제 6 항 또는 제 14 항에 있어서,

상기 병렬 디지털 데이터신호의 비트수는 상기 공통전압신호의 편차범위 이상으로 조절될 수 있는 것을 특징으로 하는 액정표시장치의 공통전압 조정회로.

【청구항 21】

제 1 및 제 2선택신호와 펠스폭 변조신호를 입력받고, 상기 제 1 및 제 2선택신호의 조합에 따라 상기 펠스폭 변조신호를 저장하거나 출력하는 데이터 저장수단; 테스트모드시 외부에서 입력되는 펠스폭 변조신호를 직류레벨로 평활하고, 기입모드시 데이터 저장부에서 입력되는 펠스폭 변조신호를 직류레벨로 평활하는 평활수단; 및

상기 평활부에서 평활된 신호를 소정레벨로 증폭하여 공통전압신호를 출력하는 증폭수단을 구비하는 것을 특징으로 하는 액정표시장치의 공통전압 조정회로.

【청구항 22】

제 21 항에 있어서,

상기 평활수단은 일단을 통해 상기 저장수단 및 외부로부터의 펄스폭 변조신호를 입력받는 제 18저항과, 상기 제 3저항의 타단과 접지사이에 결합된 제 6커패시터로 구성되는 것을 특징으로 하는 액정표시장치의 공통전압 조정회로.

【청구항 23】

제 21 항에 있어서,

상기 증폭수단은 반전단자와 출력단 사이에 결합된 제 19저항과, 반전단자와 접 사이에 결합된 제 20저항과, 상기 평활수단에서 평활된 신호를 비반전단자로 입력받아 소정레벨로 증폭하여 상기 출력단을 통해 상기 공통전압신호를 출력하는 비반전 증폭기로 구성되는 것을 특징으로 하는 액정표시장치의 공통전압 조정회로.

【청구항 24】

제 1 항 또는 제 21 항에 있어서,

상기 펄스폭 변조신호는 공통전압신호의 출력이 최적 값이 되도록 드티비가 50%으로 설정되는 것을 특징으로 하는 액정표시장치의 공통전압 조정회로.

【청구항 25】

제 1 항 또는 제 21 항에 있어서,

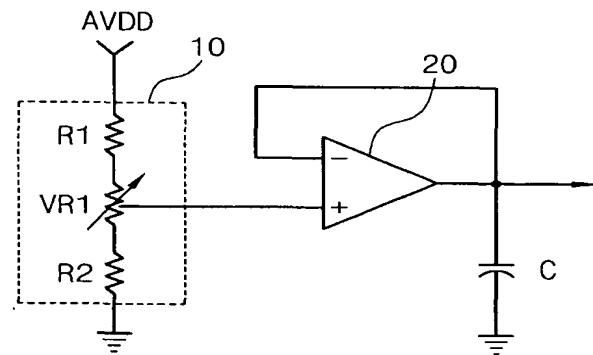
1020020067815

출력 일자: 2003/5/30

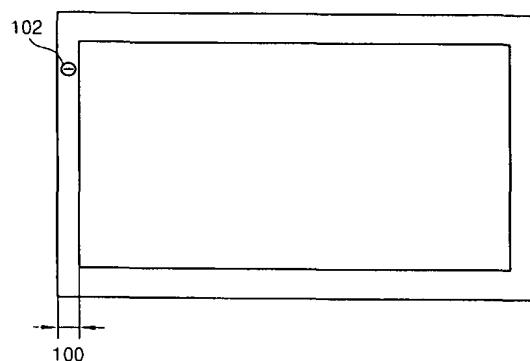
상기 필스폭 변조신호의 듀티비는 상기 공통전압신호의 편차범위 이상으로 조절될 수 있는 것을 특징으로 하는 액정표시장치의 공통전압 조정회로.

【도면】

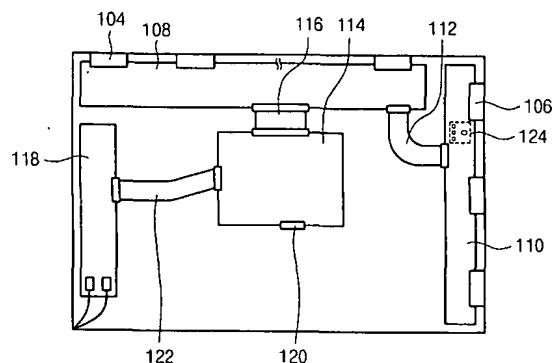
【도 1】



【도 2】



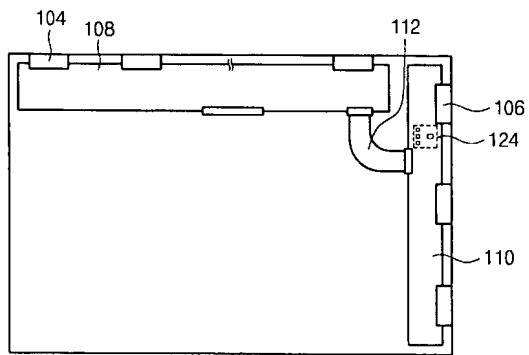
【도 3】



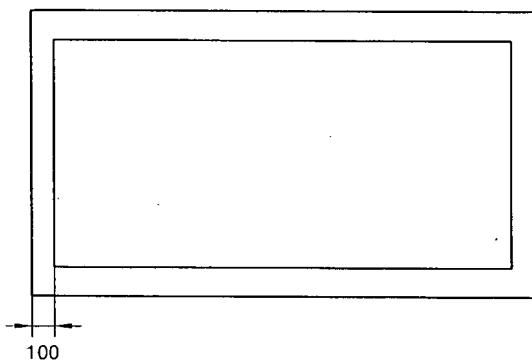
1020020067815

출력 일자: 2003/5/30

【도 4】



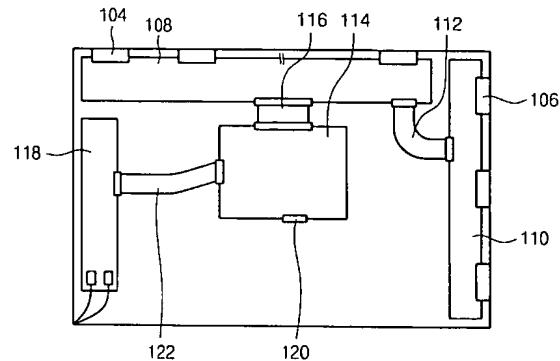
【도 5】



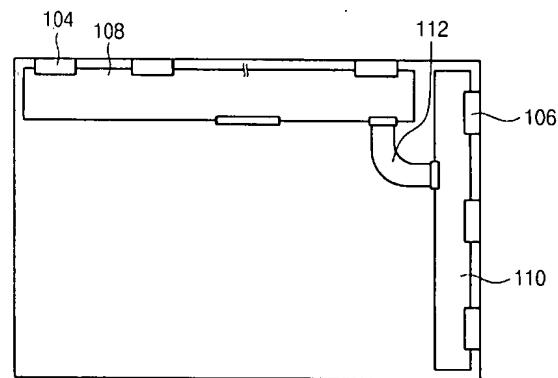
1020020067815

출력 일자: 2003/5/30

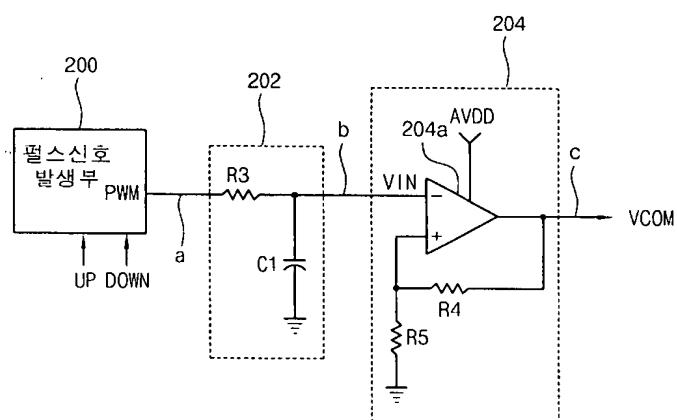
【도 6】



【도 7】



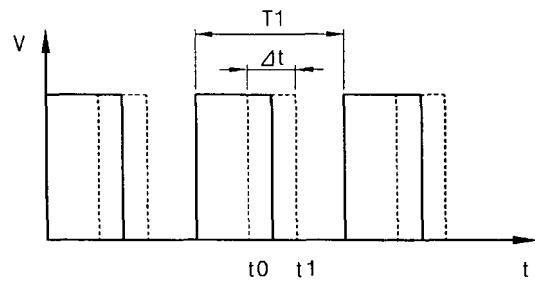
【도 8】



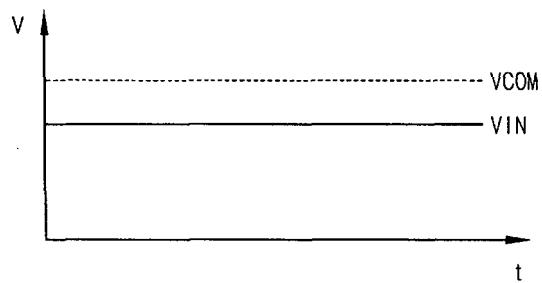
1020020067815

출력 일자: 2003/5/30

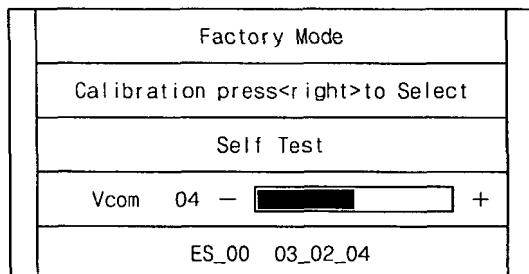
【도 9】



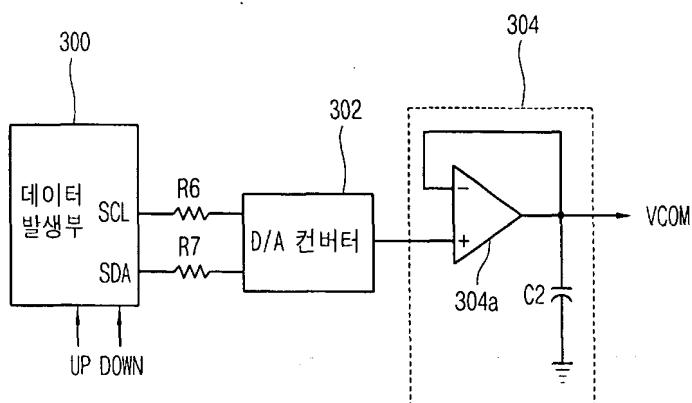
【도 10】



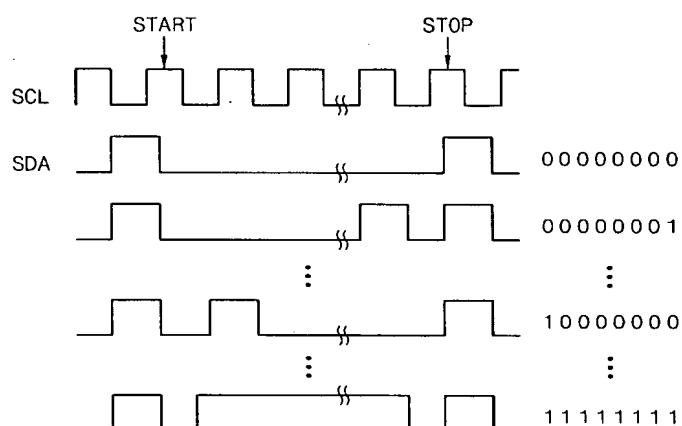
【도 11】



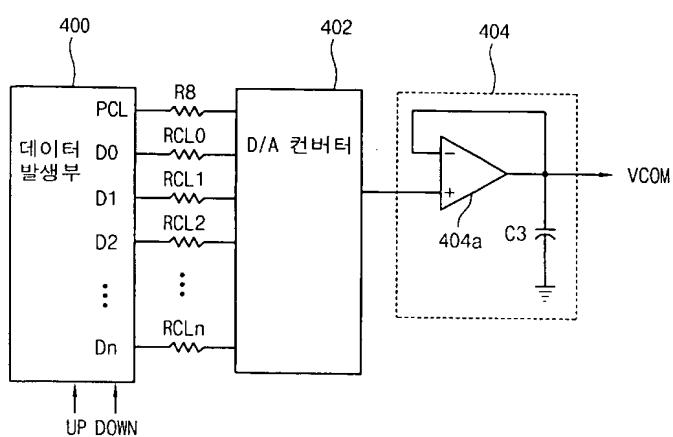
【도 12】



【도 13】



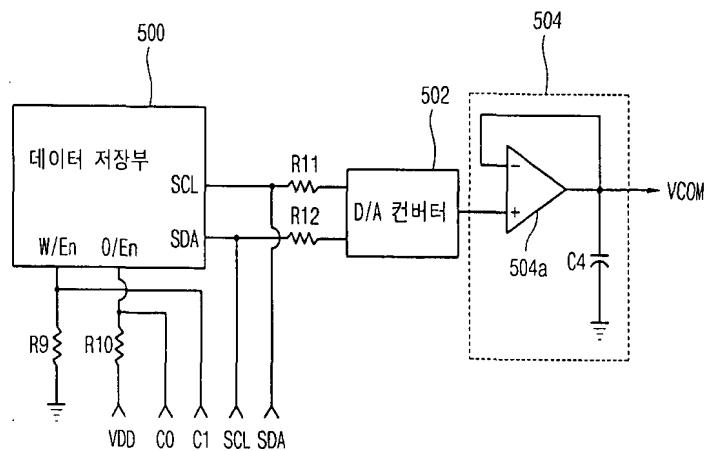
【도 14】



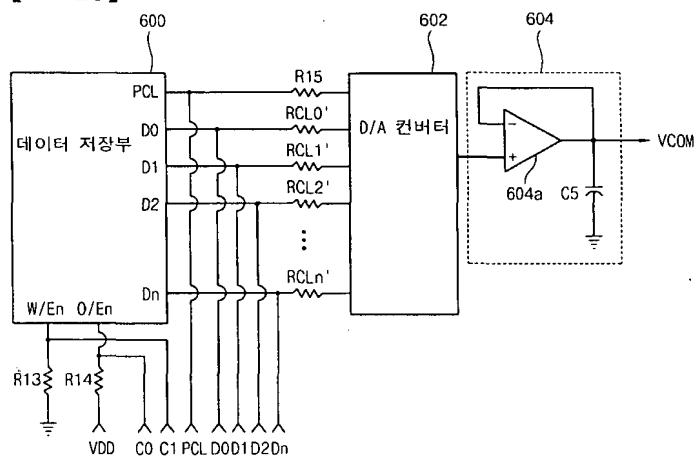
1020020067815

출력 일자: 2003/5/30

【도 15】



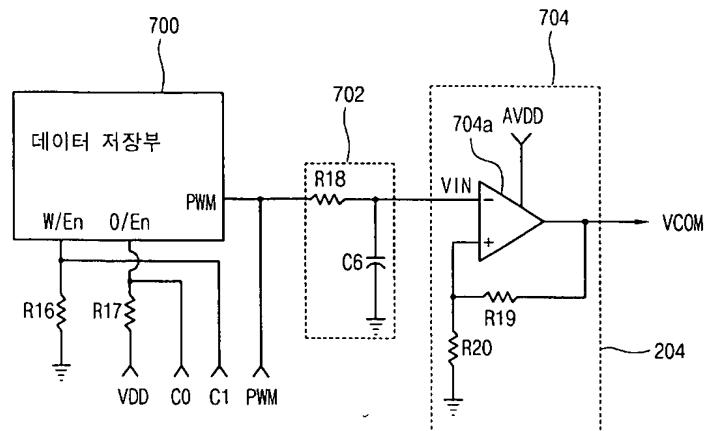
【도 16】



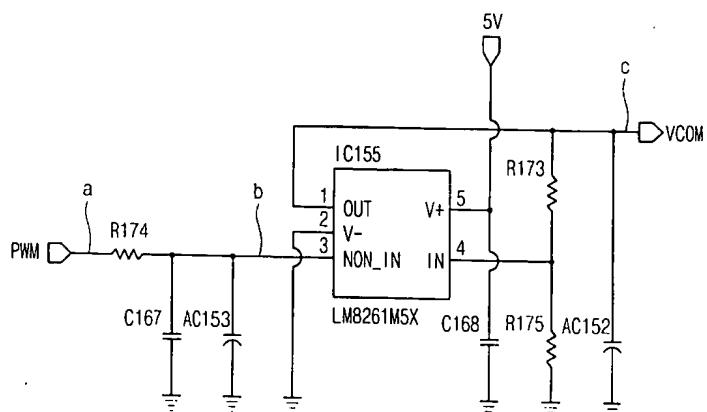
1020020067815

출력 일자: 2003/5/30

【도 17】



【도 18】



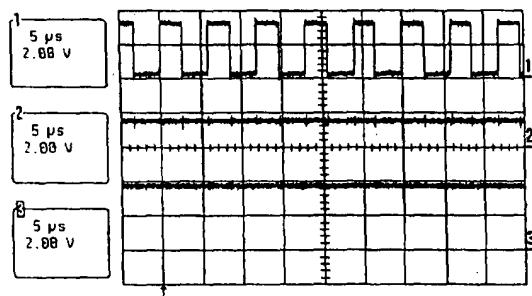
【도 19】

공통전압 조정 메뉴값	PWM DUTY (%)	평활 DC 값 (V)	VCOM VALUE (V)
00	45.18	1.508	3.676
01	45.55	1.518	3.704
02	46.3	1.548	3.766
03	46.72	1.556	3.794
04	47.07	1.571	3.831
05	47.13	1.566	3.834
06	47.51	1.58	3.861
07	47.94	1.59	3.895

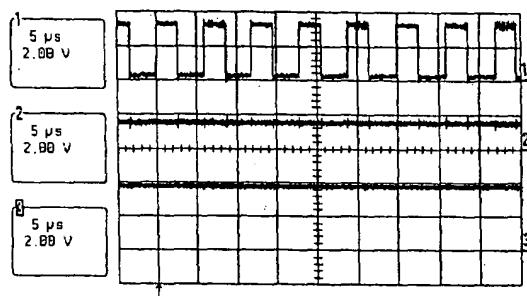
1020020067815

출력 일자: 2003/5/30

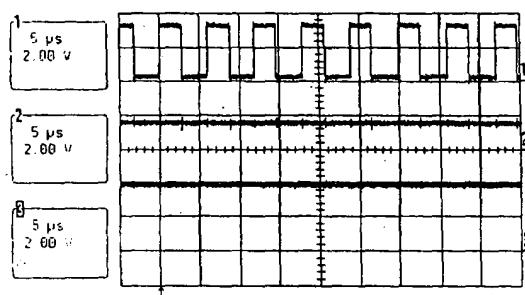
【도 20】



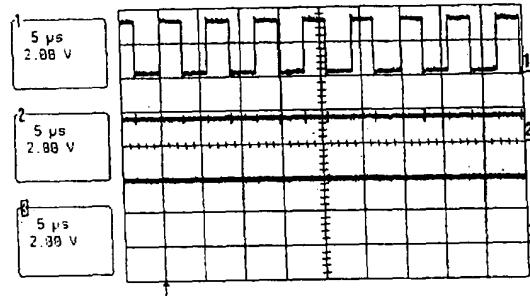
【도 21】



【도 22】



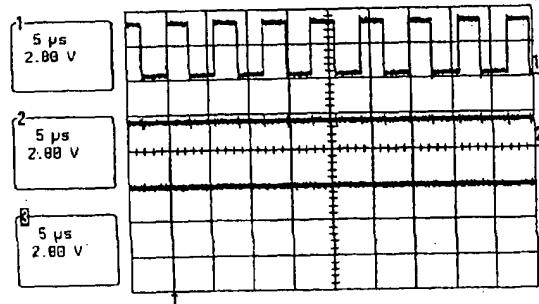
【도 23】



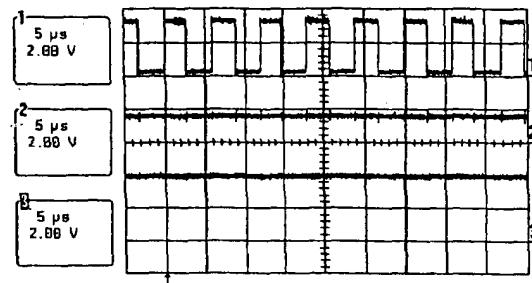
1020020067815

출력 일자: 2003/5/30

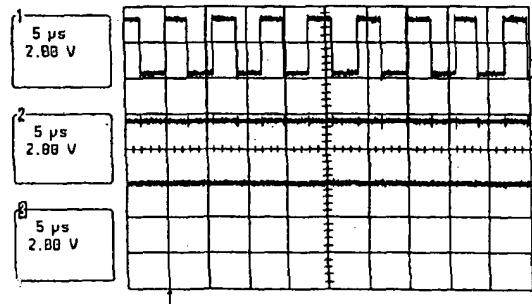
【도 24】



【도 25】



【도 26】



【도 27】

